

## ESTUDO DE TÉCNICAS DE REDUÇÃO DE POTÊNCIA E ENERGIA PARA ARQUITETURAS EMBARCADAS

<sup>1</sup>HECKTHEUER, Bruno; <sup>1</sup>NICOLA, Eduardo; <sup>2</sup>AGOSTINI, Luciano;  
<sup>2</sup>MATTOS, Julio C. B.

<sup>1</sup>UFPEL, Curso de Ciência da Computação. Email: {bbhecktheuer, evnicola}@inf.ufpel.edu.br.

<sup>2</sup>UFPEL, Centro de Desenvolvimento Tecnológico. Email: {agostini, julius}@inf.ufpel.edu.br.

### 1 INTRODUÇÃO

Os sistemas embarcados desempenham um papel importante nas atividades cotidianas do ser humano. Estes sistemas estão presentes nos mais diversos dispositivos como telefones celulares, câmeras digitais, jogos, tocadores de arquivos MP3, entre outros. Os sistemas embarcados são sistemas dedicados que possuem uma funcionalidade restrita para atender uma tarefa específica em sistemas maiores nos quais estão inseridos (MARWEDEL, 2006).

Os sistemas embarcados possuem algumas características que os diferem dos demais, por isso, durante o seu projeto são necessárias destacar algumas delas, tais como: geralmente são desenvolvidos para uma aplicação específica, devem ser confiáveis, já que podem estar envolvidos a aplicações críticas, normalmente possuem restrições temporais, devem possuir o desempenho suficiente, não devem ocupar uma área muito grande e ainda, devem ter um baixo consumo de potência e energia, visto que em alguns dispositivos a bateria é a fonte de energia.

O consumo de energia e potência é um fator limitante na funcionalidade oferecida por alguns sistemas embarcados, principalmente os portáteis, que operam por bateria (SHEARER, 2008). Este problema de consumo é causado por diversos fatores: demanda de equipamentos com mais funcionalidades, maior necessidade de processamento e tempo de vida das baterias e dispositivos com menor tamanho físico (necessidade de baterias menores). Com uma capacidade fixa de energia de uma bateria, o consumo de energia determina diretamente o tempo de funcionamento do dispositivo embarcado. O grande desafio é realizar o máximo de computações possíveis com a menor energia possível. Já o consumo de potência afeta diretamente o custo do hardware, pois uma fonte de alimentação maior será necessária.

Existem uma grande diversidade de técnicas que podem tornar as unidades de processamento mais eficientes em termos de potência e energia considerando vários níveis de abstração, desde técnicas de software até o projeto de fabricação do circuito integrado. Este trabalho visa o estudo de algumas técnicas de redução de consumo de energia e potência no nível arquitetural para a sua aplicação no projeto de arquiteturas de sistemas embarcados.

O artigo está organizado da seguinte maneira: a seção 2 apresenta a conceituação teórica e as técnicas estudadas e a metodologia utilizada, a seção 3 mostra a discussão sobre as técnicas e a proposta de implementação das técnicas e, finalmente, na seção 4 são expostas as conclusões.

### 2 METODOLOGIA (MATERIAL E MÉTODOS)

O baixo consumo de potência e energia deve ser uma característica de projeto de todos os componentes do sistema embarcado tanto em hardware como

software, assim a redução de consumo dos diversos componentes levará a redução de consumo total.

O consumo de potência é a taxa na qual a energia é consumida (SHEARER, 2008). Com uma capacidade fixa de energia de uma bateria, o consumo de potência determina diretamente o tempo de vida do dispositivo embarcado. Geralmente, os conceitos de potência e energia são confundidos. As equações (1) e (2) definem potência e energia em termos do trabalho realizado (MATTOS, 2009):

$$Potência = \frac{Trabalho}{Tempo} (Watts) \quad (1)$$

$$Energia = Potência * Tempo (Joules) \quad (2)$$

A potência utilizada por um dispositivo é a energia consumida por unidade de tempo. Já a energia é a integral da potência. Desta maneira, as baterias armazenam uma dada quantidade de energia e o objetivo é minimizar a quantidade de energia necessária para realizar cada tarefa. A energia pode ser definida pela equação (3):

$$Energia Total = \int Potência Total dt \quad (3)$$

Desta forma, reduzir o consumo de potência também diminui o consumo de energia (considerando o mesmo intervalo de tempo). Contudo, em alguns casos, um pequeno aumento na potência pode resultar em uma grande redução no tempo de execução, assim reduzindo o consumo de energia. Em alguns casos, minimizar a potência significa reduzir o consumo de energia, porém esta afirmação não é sempre verdadeira.

A potência pode ser dividida em dois tipos: potência estática e dinâmica. A potência estática é proveniente de características dos circuitos CMOS e é uma potência que independe da atividade do circuito. Já a potência dinâmica é resultante da atividade de chaveamento do circuito. A potência dinâmica é definida pela equação (4):

$$P = \alpha \cdot C_l \cdot V^2 \cdot f \quad (4)$$

onde  $\alpha$  é a atividade de chaveamento,  $C_l$  é a capacitância de carga,  $V$  é a tensão de operação e  $f$  é a frequência de relógio. Pode-se notar que a potência dinâmica está diretamente ligada com a tensão e frequência de operação do circuito. Sendo assim, geralmente os processadores embarcados não operam com frequências elevadas (o que normalmente ocorre nos computadores pessoais). Manter frequências baixas significa manter o consumo de potência baixo.

Como já referido acima, existe uma grande diversidade de técnicas de gerenciamento do consumo de potência e energia nos mais diversos níveis, algumas dessas técnicas são (SHEARER, 2008) (BURD, 2002) (FLYNN, 2011): *sleep transistor*, *clock gating*, *power gating*, *multivoltage islands*, *dynamic voltage and frequency scaling* e *dynamic power management*. Neste trabalho são selecionadas duas técnicas para uso no nível arquitetural: *clock gating* e GALS (globally asynchronous, locally synchronous).

## 2.1 Clock Gating

Em processadores e também em circuitos de aplicação específica (ASICs – *Application Specific Integrated Circuits*) uma boa parte do consumo de potência dinâmica é devido ao sistema de distribuição de relógio (*clock*) (SHEARER, 2008).

*Power Gating* é uma técnica popular usada em muitos circuitos síncronos para reduzir a dissipação da potência dinâmica. Essa técnica consiste em diminuir o número de chaveamentos devido ao relógio (*clock*), ou seja, desconectar o relógio de partes do circuito durante períodos inativos. Por exemplo, a entrada de relógio de um controlador DMA (*Direct Memory Access*) pode ser desativada durante o tempo que o controlador não necessita realizar tarefa alguma.

Existem duas abordagens populares de *clock gating*: local e global. A técnica local consiste em no uso de um sinal de habilitação em um flip-flop. Normalmente em um registrador é necessária a realimentação do valor de saída para entrada quando se necessita permanecer armazenando o valor no registrador (isso é realizado através do uso de um multiplexador). Esta realimentação através do multiplexador é substituída por uma célula de *clock gating* que desliga o sinal de relógio. O sinal de habilitação que controla o multiplexador é utilizado para controlar o relógio e desligar este sinal (Figura 1(a)).

A abordagem de *clock gating* global é desligado o relógio de um bloco inteiro. Este método faz o desligamento do bloco, ao contrário do *clock gating* local, contudo reduz o consumo de potência dinâmica pois desliga toda a árvore de relógio (Figura 1(b)).

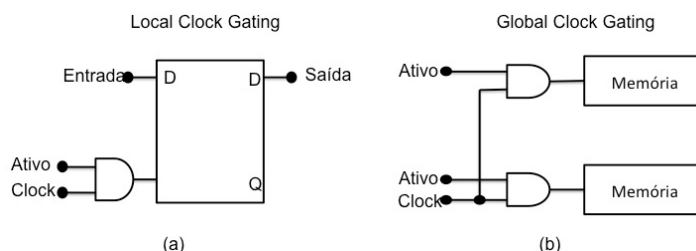


Figura 1. Técnica de Clock Gating Local (a) e Global (b).

## 2.2 GALS (*Globally Asynchronous, Locally Synchronous*)

A técnica GALS (*Globally Asynchronous, Locally Synchronous*) contrasta com a técnica *Globally Synchronous, Locally Asynchronous* normalmente utilizada em projetos de sistemas digitais. GALS consiste em um conjunto de módulos localmente síncronos que se comunicam entre si através de um *wrapper* assíncrono.

A grande vantagem dessa técnica é que cada módulo interno pode ser executado em sua frequência de relógio independente e se comunica assincronamente com os demais. A Figura 2 ilustra os dois cenários. Um primeiro cenário de um circuito síncrono com um relógio global e um segundo de um sistema GALS com diversos blocos se comunicando por um protocolo de *handshake*. A grande vantagem é que não é necessário que todo o sistema opere a uma frequência alta, e com isto reduzindo o consumo de potência dos diversos módulos que possuem frequência reduzida.

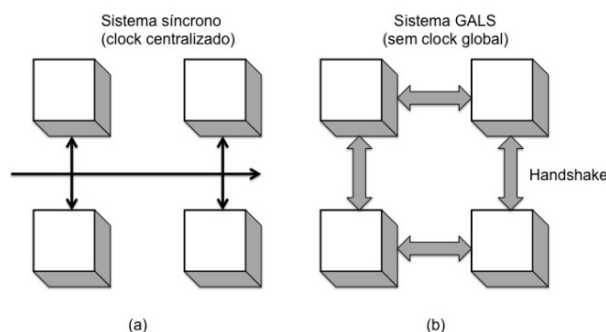


Figura 2. Técnica de Global Asynchronous Locally Synchronous (GALS)

### 2.3 Ferramentas Utilizadas

As técnicas selecionadas serão implementadas em sistemas digitais utilizando a linguagem VHDL e sintetizados usando a ferramenta ISE *Xilinx 10.1*. Os dados de potência serão obtidos através da ferramenta *PowerCompiler* utilizando a biblioteca de células lógicas *StandardCell 0,18 μm*.

## 3 RESULTADOS E DISCUSSÃO

As duas técnicas estudadas neste trabalho permitem a redução do consumo de potência de formas complementares. A técnica de *clock gating local* pode ser utilizada de forma simples através do uso do mesmo sinal utilizado para controle do multiplexador. Contudo, a técnica de *clock gating global* realiza o desligamento do sinal do relógio de um bloco inteiro e necessita de um mecanismo de controle para isso, ou seja, será necessário um mecanismo extra de controle e em muitas vezes este controle poderá ser complexo.

Já a técnica GALS permite uma boa solução para diferentes módulos pois pode-se ajustar a frequência de operação de acordo com a necessidade de desempenho de cada módulo, porém dificulta o protocolo de comunicação entre os módulos.

## 4 CONCLUSÕES

Esse artigo apresentou a algumas técnicas para redução de potência e energia para uso no projeto de arquiteturas embarcadas. Estas técnicas permitem durante o projeto inserir mecanismos que permitem a redução do chaveamento do circuito como também a redução da frequência de operação de determinados módulos resultando na redução da potência dinâmica.

Como trabalhos futuros aplicaremos essas técnicas em alguns módulos já desenvolvidos em VHDL para validar e verificar a eficiência das técnicas.

## 5 REFERÊNCIAS

MARWEDEL, Peter. **Embedded Systems Design**. Dordrecht, The Netherlands: Springer, 2006.

SHEARER, F. **Power Management in Mobile Devices**. Burlington, MA: Elsevier, 2008.

MATTOS, Júlio C. B.; BRISOLARA, Lisane B. **Desafios no Projeto de Sistemas Embarcados**. In: Júlio C. B. Mattos; Leomar S. Rosa Jr; Maurício L. Pilla. (Org.). *Desafios e Avanços em Computação: o estado da arte*. Pelotas: Editora e Gráfica da UFPel, 2009, p. 153-175.

BURD, Thomas D.; BRODERSEN, Robert W. **Energy Efficient Microprocessor Design**. Kluwer Academic Publishers, 2002.

FLYNN, David; AITKEN, Rob; GIBBONS, Alan; SHI, Kaijian. **Low Power Methodology Manual: For System-on-Chip Design**. Springer, 2011.