

ESTRATÉGIA DE REUSO DE DADOS PARA A ESTIMAÇÃO DE MOVIMENTO NA CODIFICAÇÃO DE VÍDEOS E SUA IMPLEMENTAÇÃO EM HARDWARE

¹GRELLERT, Mateus; ²AGOSTINI, Luciano; ²MATTOS, Julio C. B.

¹UFPEL, Curso de Ciência da Computação. Email: mgdsilva@inf.ufpel.edu.br.

²UFPEL, Centro de Desenvolvimento Tecnológico. Email: {agostini, julius}@inf.ufpel.edu.br.

1 INTRODUÇÃO

As inovações tecnológicas na área de mídias visuais associadas à crescente demanda por maior qualidade de serviço fomentam a geração de vídeos com resolução e qualidade cada vez maiores. Todavia, esses vídeos implicam um grande volume de dados, os quais precisam ser armazenados e eventualmente transmitidos. Para que isso seja possível nas tecnologias atuais, esses vídeos necessitam passar por um processo de codificação, o qual é responsável por comprimir vídeos mantendo a melhor qualidade possível.

A ferramenta mais importante de um processo de codificação de vídeo é a Estimação de Movimento (ME – *Motion Estimation*), pois ela é responsável pelos maiores ganhos em compressão. Isso ocorre, porque a ME explora regiões semelhantes presentes entre quadros vizinhos de um vídeo e, como vídeos são normalmente exibidos a uma taxa de 30 quadros por segundo, existe uma grande ocorrência de quadros semelhantes (RICHARDSSON, 2003). A Figura 1 apresenta uma ilustração da ME. Essa etapa consiste em dividir o quadro sendo atualmente codificado (quadro atual) em blocos, procurando, para cada bloco, o melhor casamento em uma área (área de busca) dentro de um ou mais quadros previamente codificados (quadros de referência).

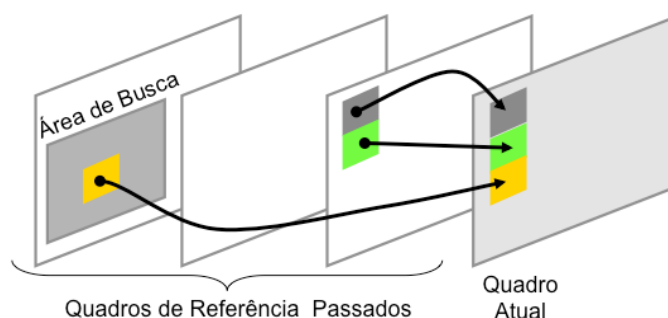


Figura 1. Ilustração da Estimação de Movimento na compressão de vídeos

Apesar dos ganhos em compressão proporcionados pela ME, essa etapa requer uma grande quantidade de acessos à memória externa do codificador, os quais introduzem gargalos no desempenho da codificação, além de aumentar o consumo energético dessa etapa, característica indesejável especialmente em dispositivos móveis. Com base nisso, diversas estratégias de reuso de dados para a ME podem ser encontradas na literatura. Em (CHEN, 2006), um esquema de reuso de dados baseado em áreas de buscas sobrepostas entre blocos vizinhos é utilizado. O trabalho de (CHEN, 2005) propõe uma ordem diferente para a codificação dos quadros com o intuito de reduzir o acesso à memória para quadros de referência. Além disso, existem diversos trabalhos como (ZHAOQING, 2006) e

(LI, 2007) que, baseados em uma estratégia já existente, tentam reduzir banda com a memória implementando essas estratégias com diferentes hierarquias de memória. Muitos desses trabalhos apresentam soluções que diminuem os acessos entre a memória externa e o núcleo do codificador através de uma memória cache entre esses dois componentes, mas os acessos entre essa cache e o núcleo continuam sendo um problema grave em termos de desempenho e consumo de energia.

O objetivo deste trabalho é apresentar uma nova estratégia para reuso de dados que utiliza dois níveis de hierarquia de memória com o intuito de diminuir os acessos não somente entre a memória externa e a cache, como também entre a cache e o núcleo do codificador. Além disso, resultados de implementação dessa estratégia em uma arquitetura de ME também são discutidos. Com base nos resultados obtidos, duas formas de comparação são abordadas: uma em nível arquitetural, levando em conta o desempenho do sistema e os recursos de hardware utilizados; e outra baseada na eficiência da estratégia proposta em relação a outras estratégias já existentes.

2 METODOLOGIA (MATERIAIS E MÉTODOS)

Inicialmente foram estudadas as diferentes estratégias de reuso de dados presentes na literatura. Após essa etapa, iniciou-se a exploração do espaço de projeto, elaborando diferentes soluções e avaliando os aspectos positivos e negativos de cada uma. Para avaliar as diferentes propostas, foram considerados dois aspectos principais: (1) a redução no número de acessos à memória externa atingida; e (2) a necessidade extra de recursos de hardware necessário para a implementação de cada proposta. Cada resultado obtido foi comparado com trabalhos relacionados, a fim de obter uma solução final competitiva.

A solução desenvolvida nesse trabalho trata-se de um meio-termo entre redução no número de acessos à memória e o uso de recursos de hardware. Para reduzir os acessos entre a memória externa e o núcleo de codificação foi desenvolvida uma memória local (cache). Essa cache foi modelada para funcionar de forma eficaz com a ME, possuindo estrutura e política de substituição altamente otimizadas para esse processo. Além disso, a fim de reduzir também os acessos entre a cache proposta e o núcleo de codificação, a estratégia desse trabalho utiliza um buffer local, o qual possui também políticas de atualização e substituição dedicadas à ME. A memória local desenvolvida nesse trabalho possibilita uma redução nos acessos à memória de 95,73% em comparação ao método tradicional de acesso. Além disso, o uso do buffer também diminui o tráfego entre a memória local e o núcleo da ME em 68,4%. A Figura 2 apresenta o diagrama de blocos da solução proposta, destacando os módulos desenvolvidos nesse trabalho.

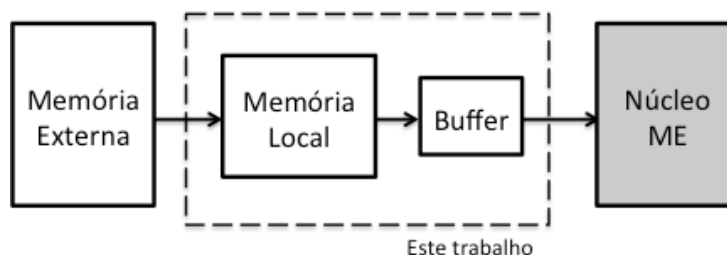


Figura 2. Diagrama de blocos da solução proposta

A partir das especificações da solução escolhida, foi feita a descrição em uma linguagem de descrição de hardware (VHDL) de cada componente do projeto. Após a descrição VHDL, esses componentes foram sintetizados utilizando a ferramenta Leonardo Spectrum da Mentor Graphics, gerando uma arquitetura que foi acoplada a um módulo de ME previamente desenvolvido pelo grupo (GRELLERT, 2010). A etapa final do projeto foi a síntese de resultados, gerando tabelas comparativas que serão apresentadas na próxima seção.

3 RESULTADOS E DISCUSSÃO

Existem duas abordagens possíveis para comparar esse projeto com outros trabalhos: resultados arquiteturais e eficiência na estratégia de reuso. Ambas as comparações são apresentadas nessa seção. A Tabela 1 apresenta os resultados das comparações entre estratégias de reuso. É importante salientar que a estratégia de reuso desenvolvida nesse trabalho foi baseada na estratégia C+ desenvolvida em (CHEN, 2006).

Tabela 1. Comparação entre estratégias de reuso

Estratégia	C+ (CHEN, 2006)	D (CHEN, 2006)	Este Trabalho
Mem. Local (Kbytes)	198,76	812,48	185,42
Banda (Mbytes/seg)	332	74,4	250,49

Analisando a Tabela 1 é possível concluir que a solução desenvolvida é coerente com sua proposta, i.e., a estratégia desse trabalho é um meio-termo entre consumo de memória local (recursos de hardware) e banda com a memória. Nota-se, também, que este trabalho supera a solução C+ de (CHEN, 2006) nos dois aspectos.

A Tab. 2 apresenta os resultados arquiteturais obtidos após a integração dos módulos desenvolvidos neste trabalho com uma arquitetura de ME previamente projetada no grupo. Os resultados relativos a número de *gates* e frequência foram obtidos através da síntese com a ferramenta Leonardo Spectrum, utilizando a tecnologia TSMC de 0,18 nanômetros.

Tabela 2. Resultados Arquiteturais

Arquitetura	(ZHAOQING, 2006)	(LI, 2007)	Este Trabalho
Tamanho da PU	16x16	16x16	4x4
Área de Busca	16x16	65x33	19x19
Estratégia	D	D	C+ Multinível
Quadros de Ref.	1	2	4
Banda Mem. Ext. (Mbytes/sec)	110,6	24,9	204,35
Frequência (MHz)	55,6	168	265,2
Processamento	1280x720 @60 fps	720x576 @30 fps	1280x720@56 fps
N° Gates (KGates)	176	168	127,83
Mem. Local (Kbytes)	41,6	23,75	3,96

Os resultados acima mostram que este trabalho possui o menor custo em recursos de hardware em relação às outras arquiteturas. Apesar de apresentar uma maior banda com a memória, é importante salientar que a arquitetura de ME deste trabalho utiliza quatro quadros de referência, o que contribui consideravelmente para uma banda maior com a memória externa. Além disso, o processamento atingido pela arquitetura projetada nesse trabalho é muito maior que o de (LI, 2007), fator que contribui significativamente para o aumento no número de acessos.

4 CONCLUSÃO

Este trabalho apresentou uma estratégia de reuso de dados em dois níveis de hierarquia de memória baseado na localidade de dados presente no processo de estimação de movimento. A solução proposta é capaz de diminuir consideravelmente o número de acessos à memória externa do codificador, atingindo uma redução de mais de 90%. Ademais, a comunicação entre a memória local e o núcleo ME também é diminuída em mais de 60%. Os componentes de hardware que implementam a solução proposta foram desenvolvidos em VHDL e integrados a um núcleo de ME sem qualquer impacto na performance. Essa redução significativa traz impactos positivos não somente em termos de processamento, mas em consumo energético do sistema, característica vital para dispositivos portáteis, como celulares, câmeras digitais etc. Quando comparado a trabalhos relacionados da literatura, é possível concluir que o trabalho apresentado é uma solução competitiva para resolver os problemas relativos à memória inerentes à estimação de movimento.

5 REFERÊNCIAS

RICHARDSON, Iain. **H.264 and MPEG-4 Video Compression – Video Coding for Next Generation Multimedia**. Chichester: John Wiley&Sons, 2003.

CHEN, C.-H., et al. Level C+ Data Reuse Scheme for Motion Estimation With Corresponding Coding Orders. **IEEE Transactions on Circuits and Systems for Video Technology**, Gaithersburg, v. 16, n. 4, p. 553 - 558, 2006.

CHEN, T.-C., et al. Single Reference Frame Multiple Current Macroblocks Scheme for Multi-Frame Motion Estimation in H.264/AVC. **IEEE Transactions on Circuits and Systems for Video Technology**, Gaithersburg, v. 17, n. 2, p. 242 - 247, 2005.

ZHAOQING Z., HONGSHI S., WEIFENG H., XUBANG S.. High Data Reuse VLSI Architecture for H.264 Motion Estimation. In: INTERNATIONAL CONFERENCE ON COMMUNICATION TECHNOLOGY, Colorado, julho de 2006.

LI, D.-X., ZHENG, W., ZHANG, M.. Architecture Design for H.264/AVC Integer Motion Estimation with Minimum Memory Bandwidth. **IEEE Transactions on Consumer Electronics**, Gaithersburg, v. 53, n. 3, p. 1053-1060, 2007.

GRELLERT, M., et al. Memory-aware multiple reference frame motion estimation for the H.264/AVC standard. INTERNATIONAL CONFERENCE ON ELECTRONICS, CIRCUITS AND SYSTEMS, Atenas, dezembro de 2010.