

PROJETO DE HARDWARE DA DCT 16X16 DO PADRÃO EMERGENTE HEVC PARA COMPRESSÃO DE VÍDEOS DIGITAIS

**¹GONÇALVES, Gustavo; ¹SOUZA, José Cláudio; ¹CONCEIÇÃO, Ruhan;
²JESKE, Ricardo; ³AGOSTINI, Luciano**

¹UFPEL, Engenharia de Computação. {gwgoncalves; jcdsouza; radconceicao}@inf.ufpel.edu.br

²UFPEL, Mestrado em Computação. rgjeske@inf.ufpel.edu.br

³UFPEL, Centro de Desenvolvimento Tecnológico. agostini@inf.ufpel.edu.br

1 INTRODUÇÃO

Atualmente, o padrão H.264/AVC (ITU-T, 2007) é o estado-da-arte em codificação de vídeo, porém este padrão não atende com tamanha eficiência compressões em alta resolução. Sendo assim, iniciaram pesquisas para o desenvolvimento de um novo padrão que obtivesse maior eficiência em termos de qualidade e compressão de vídeo. O padrão está sendo desenvolvido pelo grupo JCT-VC (JCT-VC, 2011), formado por especialistas da ITU e da ISO, e foi batizado como Codificação de Vídeo de Elevada Eficiência (*High Efficiency Video Coding - HEVC*) (JCT-VC, 2011). A previsão do lançamento do padrão é para o final de 2012, mas diversas ferramentas de codificação já foram definidas no estágio atual da padronização.

Este trabalho está focado no desenvolvimento de hardware para um dos módulos utilizados na codificação segundo o HEVC: a transformada discreta dos cossenos (DCT) de tamanho 16x16. A entrada do bloco das transformadas consiste em resíduos gerados pelos blocos de predição (AGOSTINI, 2007), em especial neste caso, matrizes de tamanho de 16x16 amostras, que serão transformadas para o domínio das frequências. A saída deste módulo será encaminhada para a entrada do módulo de quantização, que realizará divisões inteiras nos coeficientes da matriz gerada pela DCT, removendo informações pouco relevantes ao sistema visual humano. Sendo assim, o resultado da quantização será uma matriz esparsa, o que possibilita, posteriormente, a compressão mais eficiente no módulo de codificação de entropia, que é o último passo da compressão.

Uma vez que o módulo das transformadas realiza diversos cálculos, com elevado volume de dados a serem processados, a implementação do mesmo em software tende a não atingir o desempenho necessário para processar vídeos de alta resolução em tempo real. Portanto se justifica o desenvolvimento de uma solução em hardware. Além disso, o projeto em hardware permite a execução da tarefa com um consumo de energia muito menor. Os próximos itens deste trabalho apresentam os passos utilizados no desenvolvimento da arquitetura, seus detalhes de implementação, os resultados de síntese e as conclusões.

2 METODOLOGIA (MATERIAL E MÉTODOS)

Para o desenvolvimento deste projeto inicialmente foi analisado o software de referência do HEVC, chamado de HM (HEVC Model) (JCT-VC, 2011a) e, a partir dele, foi desenvolvido um código mais específico e simplificado para viabilizar a melhor compreensão do algoritmo e sua posterior implementação em hardware. O novo código foi validado a partir da comparação dos resultados obtidos

por ambos. Com isso, esse código foi usado para avaliar os resultados gerados pelo hardware desenvolvido e, portanto, foi usado como *golden model* neste projeto.

A arquitetura foi desenvolvida considerando o princípio da separabilidade da DCT em duas dimensões, ou seja, o cálculo foi realizado a partir de duas transformadas em uma dimensão. Então a primeira DCT 1-D processa a matriz de entrada linha a linha, a matriz 16x16 resultante da primeira DCT 1-D é transposta e o segundo cálculo de DCT 1-D é aplicado sobre a matriz transposta, gerando os resultados finais. Esta divisão em duas DCT 1-D diminui a complexidade do processo e reduz o hardware necessário, uma vez que o hardware da transformada 1-D pode ser reusado para os dois cálculos.

O paralelismo usado na arquitetura prevê o processamento de 16 amostras de forma simultânea, ou seja, uma linha da matriz de entrada é consumida a cada ciclo de *clock*. Assim é possível atingir taxas de processamento elevadas.

A arquitetura desenvolvida possui alguns módulos, entre eles dois seletores, duas memórias, a parte de controle e também o módulo que realiza os cálculos da transformada, como pode ser observado no diagrama apresentado na Figura 1. Esta arquitetura foi descrita em VHDL, validada e sintetizada em um dispositivo FPGA.

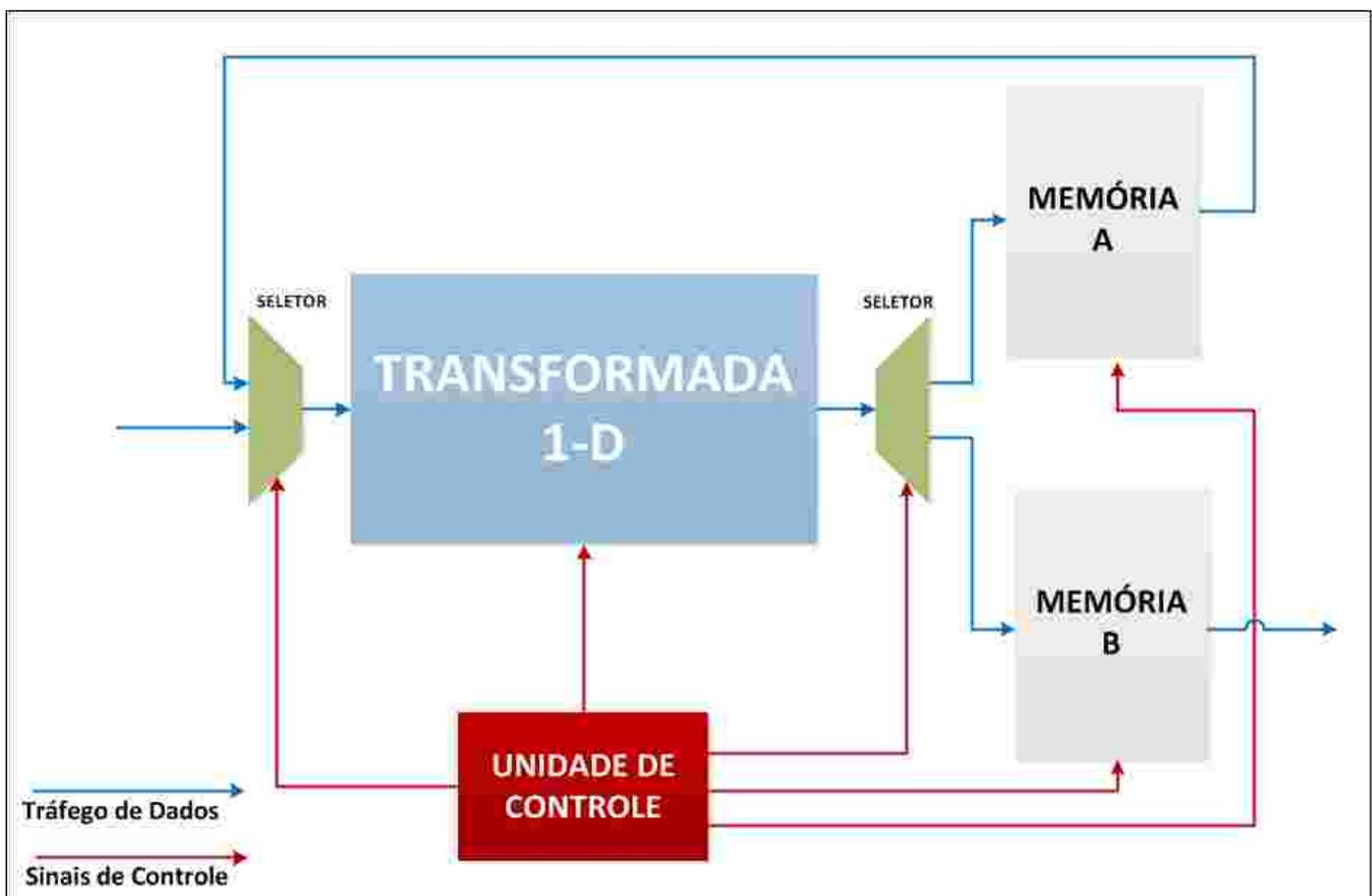


Figura 1: Diagrama de blocos da arquitetura.

O processo inicia com a unidade de controle definindo que o seletor receberá uma entrada externa. Com isso o módulo transformada 1-D recebe os dados da matriz de entrada linha a linha e gera os resultados finais após processar as dezesseis linhas da matriz, formando a primeira transformada. Os dados de saída

da primeira transformada são armazenados na memória A, que é selecionada como destino pelo outro seletor através da unidade de controle.

Na segunda transformada 1-D, o primeiro seletor recebe um sinal do controle para que os dados da memória A sejam entregues à transformada. Estes resultados que foram escritos linha a linha pela primeira transformada, são lidos coluna a coluna pela segunda transformada. Assim a operação de transposição é realizada. Então o módulo que calcula a transformada aplica novamente as mesmas operações, gerando os resultados finais e armazenando-os na memória B. Essa memória é usada para organizar novamente a matriz.

3 RESULTADOS E DISCUSSÃO

Na Tabela 1 são apresentados os resultados obtidos na síntese da arquitetura da DCT 16x16. A síntese foi direcionada para o dispositivo FPGA EP3SL70F484C2 da família Stratix III da Altera (ALTERA, 2011). Os resultados são apresentados para a arquitetura completa, DCT 2-D, e também para cada módulo do projeto em separado.

Tabela 1: Resultados de síntese.

Módulo	ALUTs Combinacionais	Registradores Lógicos Dedicados	Total de Pinos	Blocos DSP	Frequência (MHz)
Controle	58	77	28	0	580,72
Memórias A e B	4.720	3.808	458	0	520,02
Seletor Destino	10	28	44	0	nda
Seletor Origem	5	14	44	0	nda
DCT 1-D	18.484	227	450	32	19,46
DCT 2-D	28.309 (74%)	8.718 (22%)	227 (77%)	32 (15%)	15,80

Dispositivo: Stratix II EP3SL70F484C2

O consumo de recursos do FPGA da arquitetura desenvolvida foi bastante elevado, conforme pode ser observado na Tabela 1. Este consumo elevado é função da estratégia de processamento de 16 amostras por ciclo, que foi usada para ampliar a taxa de processamento atingida.

A frequência de trabalho máxima alcançada foi de 15,8MHz. Com esta frequência é possível processar 253.164.557 amostras por segundo, pois a cada ciclo a arquitetura processa 16 amostras. Se utilizada uma resolução Full HD (1920x1080 pixels) com 3 amostras por pixel e 30 frames por segundo (taxa necessária para o sistema visual humano ter a sensação de movimento) seria necessário processar 186.624.000 amostras por segundo. Portanto, a arquitetura desenvolvida neste artigo atinge esta taxa com folgas. Mas é importante ressaltar que a arquitetura está utilizando muita área do FPGA e pode ser otimizada em versões futuras.

Como o novo padrão (HEVC) está sendo previsto para operar com resolução máxima 3840x2160 pixels, faz-se necessário o aperfeiçoamento do hardware para suprir a taxa de processamento para tal resolução, que chega a 746.496.000 amostras por segundo. Este é o objetivo para os próximos trabalhos que já estão sendo desenvolvidos.

4 CONCLUSÃO

Este trabalho apresentou uma arquitetura em hardware para a DCT 16x16 do padrão emergente HEVC. A arquitetura desenvolvida foi descrita em VHDL, validada e sintetizada para um FPGA da família Stratix II da Altera.

A taxa de amostras processadas pela arquitetura desenvolvida consegue processar com folgas vídeos Full HD (1920x1080 pixels) em tempo real.

Como trabalhos futuros, pretende-se aperfeiçoar a arquitetura, paralelizando operações aritméticas de mesma precedência e inserindo *pipelines* (barreiras de registradores) após os conjuntos de operações simultâneas. A otimização da arquitetura também se dará reutilizando módulos que permanecem certo tempo ocioso no sistema. Desta forma, será possível atingir frequências mais elevadas, além de reduzir o tamanho físico do hardware.

5 REFERÊNCIAS

ITU-T. **ITU-T Recommendation H.264/AVC (11/07): Advanced video coding for generic audiovisual services**, 2007.

AGOSTINI, Luciano. **Desenvolvimento de Arquiteturas de Alto Desempenho Dedicadas à Compressão de Vídeo Segundo o Padrão H.264/AVC**. 2007. Tese de Doutorado em Ciência da Computação – Instituto de Informática, Universidade Federal do Rio Grande do Sul, Porto Alegre, 2007.

RICHARDSON, Iain. **H.264 and MPEG-4 Video Compression – Video Coding for Next-Generation Multimedia**. Chichester: John Wiley&Sons, 2003.

JCT-VC, “**High Efficiency Video Coding (HEVC) Test Model 3 Encoder Description**”, JCTVC-E602, March 2011a.

JCT-VC, “**High Efficiency Video Coding (HEVC) text specification Working Draft 1**”, JCTVC-C403, October 2010c.

JCT-VC, “**High Efficiency Video Coding (HEVC) text specification Working Draft 3**”, JCTVC-E603, March 2011.

ALTERA, “**Stratix III Device Handbook**”, 2011.