



Desenvolvimento de Hardware Eficiente para o Loop de Transformadas e Quantização Dedicado à Predição Intra Quadros do Padrão de Compressão de Vídeo H.264/AVC

Autor(es): PALOMINO, Daniel; SAMPAIO, Felipe; DORNELLES, Robson

Apresentador: Daniel Munari Vilchez Palomino

Orientador: Luciano Volcan Agostini

Revisor 1: Júlio Balzano de Mattos

Revisor 2: Leomar Soares da Rosa Júnior

Instituição: Universidade Federal de Pelotas

Resumo:

O padrão H.264/AVC é o estado da arte em compressão de vídeo e foi desenvolvido por especialistas da ITU-T e ISO-IEC. A investigação de soluções em hardware para o compressor de vídeo H.264/AVC está inserida no esforço brasileiro para consolidar o Sistema Brasileiro de TV digital (SBTVD), já que o H.264/AVC faz parte do SBTVD. O módulo de Predição Intra-Quadros do padrão H.264/AVC explora a redundância espacial, ou seja, áreas semelhantes dentro de um mesmo quadro. O módulo de Predição Intra-Quadros faz a predição de um bloco usando, como referência, blocos já preditos. O resíduo gerado por essa predição deve passar pelos módulos de transformadas (T) e quantização diretas (Q) e transformadas e quantização inversas (IT e IQ) antes de ser usado como referência para a predição do próximo bloco. Isto significa que o módulo de Predição Intra-Quadros permanece inoperante enquanto o resíduo é processado por estes módulos. Neste trabalho foi desenvolvida uma arquitetura de hardware que implementa o laço T, Q, IQ e IT dedicado à Predição Intra-Quadros. A arquitetura foi desenvolvida buscando a melhor relação entre taxa de processamento (número de quadros por segundo) e latência (número de ciclos necessários para processar um bloco), já que estas características são extremamente importantes para definir o desempenho do módulo de Predição Intra-Quadros. Deste modo, a arquitetura foi desenvolvida com um paralelismo de 16 amostras por ciclo e apenas 4 estágios de pipeline, visando equilibrar a elevada taxa de processamento e a baixa latência. A arquitetura foi descrita na linguagem VHDL e sintetizada para o dispositivo FPGA Stratix II da Altera e para standard-cells TSMC 0.18 μ m. A arquitetura atingiu uma frequência de operação de 129,3 MHz, quando sintetizada para standard-cells, sendo capaz de processar até 48 quadros QHDTV (3840x2048 pixels) por segundo, no caso em que sempre existam entradas válidas disponíveis. Além disso, a arquitetura apresenta uma latência de 27 ciclos para blocos de luminância processados pelo modo Intra 16x16, 11 ciclos para blocos de crominância e 4 para os demais blocos de luminância. Esta é a menor latência dentre todos os três trabalhos relacionados publicados na literatura. Além disso, esta arquitetura é a que apresenta a melhor relação entre taxa de processamento e latência dentre todos os trabalhos publicados que foram encontrados e, portanto, o objetivo deste trabalho foi atingido.