



Investigação e Desenvolvimento de Arquiteturas de Multiplicadores para o Módulo de Quantização Direta do Padrão H.264/AVC

Autor(es): SAMPAIO, Felipe; PALOMINO, Daniel; DORNELLES, Robson

Apresentador: Felipe Martin Sampaio

Orientador: Luciano Volcan Agostini

Revisor 1: Júlio Balzano de Mattos

Revisor 2: Leomar Soares da Rosa Júnior

Instituição: Universidade Federal de Pelotas

Resumo:

Padrões de compressão de vídeos vêm sendo amplamente pesquisados pela academia devido à grande variedade de aplicações que utilizam vídeos digitais. Neste contexto, o Padrão H.264/AVC surge como o mais novo padrão de compressão de vídeo. Este padrão está inserido no Sistema Brasileiro de TV Digital. O foco deste trabalho está na investigação de multiplicadores para uso no módulo de Quantização Direta (módulo Q) definido no padrão H.264/AVC. O padrão define três operações básicas no módulo Q: (1) a multiplicação da entrada por uma constante, (2) a soma do resultado de (1) com outra constante e (3) o deslocamento controlado do resultado de (2) por outra constante. Dentre estas operações, a multiplicação representa um maior custo computacional para o módulo Q. Sendo assim, a escolha do projeto do multiplicador utilizado é de grande importância para o desempenho do módulo Q. Neste trabalho foram desenvolvidas duas arquiteturas de multiplicadores para o módulo Q: (a) uma arquitetura que implementa um multiplicador otimizado utilizando somas e deslocamentos e (b) uma arquitetura que utiliza uma implementação já existente de multiplicadores embarcados nos dispositivos FPGA. As arquiteturas foram descritas na linguagem de descrição de hardware VHDL e sintetizadas para duas tecnologias: dispositivo FPGA Stratix II da Altera e para a biblioteca de células lógicas TSMC 0.18 μ m. No mapeamento para a biblioteca de células lógicas, o melhor resultado foi atingido pelo multiplicador otimizado, que alcançou a maior frequência de operação (102,9 MHz contra 92,3 MHz) e o menor consumo de hardware (1,5 vezes menos gates). Este multiplicador é capaz de realizar até 103 milhões de multiplicações por segundo. Para FPGAs, o resultado foi o contrário e o uso de multiplicadores embarcados atingiu os melhores resultados, pois estes multiplicadores são dedicados e estão embarcados na estrutura do dispositivo. Assim, o uso deste multiplicador alcançou a maior frequência de operação (99,5 MHz contra 88,1 MHz), realizando cerca de 99 milhões de multiplicações por segundo. O uso do multiplicador embarcado utiliza blocos de DSP do dispositivo, enquanto que o multiplicador otimizado utiliza LUTs (Look-Up-Tables). Deste modo, não é possível comparar o desempenho do ponto de vista do consumo de hardware entre os dois multiplicadores. Assim, este trabalho demonstrou que a escolha do tipo de multiplicador neste e em outros projetos deve ser função da tecnologia alvo.