

## DESCRIÇÃO DO FLUXO DE PROJETO E DO PROCESSO DE OTIMIZAÇÃO DE UM CIRCUITO DIGITAL NA TECNOLOGIA CMOS

**LIZANDRO DE SOUZA OLIVEIRA; LEOMAR SOARES DA ROSA JUNIOR;  
FELIPE DE SOUZA MARQUES; JÚLIO CARLOS BALZANO DE MATTOS**

<sup>1</sup>Universidade Federal de Pelotas – {lsoliveira,leomarjr,felipem,julius}@inf.ufpel.edu.br

### 1. INTRODUÇÃO

Atualmente, os equipamentos eletrônicos estão cada vez mais presentes no dia a dia das pessoas nas mais diversas aplicações como: televisores, telefonia celular, computadores, eletrodomésticos, entre outras. Nestes dispositivos são compostos de circuitos integrados que estão cada vez menores. Este avanço deve-se em especial com o avanço dos processos de fabricação de circuitos em tecnologia CMOS (*Complementary Metal Oxide Silicon*).

No CMOS cada componente lógico (porta lógica) é composto de duas partes: transistores PMOS e transistores NMOS. Desta forma, circuitos digitais são compostos por uma rede *pull-up* feita de transistores PMOS e uma rede *pull-down* feita de transistores NMOS (SEDRA, 2007).

A tecnologia CMOS é hoje a tecnologia mais utilizada para a fabricação de circuitos integrados, incluindo elementos de lógica digital, microprocessadores, memórias RAM entre outros. Esta tecnologia proporciona vantagens como o baixo consumo de energia (com uma baixa dissipação de calor) e também a alta capacidade de integração em relação a outras tecnologias.

Apesar da redução nas dimensões dos transistores CMOS em circuitos integrados que permite que a cada nova geração se coloque mais funções por chip, o custo do chip não tem aumentado significativamente (RABAEY, 2004). Contudo, existem problemas para o projeto de circuitos integrados com mais e mais funções que exige esforço de engenharia. Este problema tem sido atacado com o uso mais eficiente de metodologias de projeto que exploram diversos níveis de abstração.

O projeto de circuitos integrados pode ser realizado em diferentes níveis de abstração, desde o mais alto com o nível de sistema, passando pelos níveis de processador e módulo até chegar ao nível de máscaras onde é realizado o leiaute de células. A implementação de um circuito digital pode seguir uma abordagem *Full-Custom* ou *Semi-custom*. No *Full-Custom* o projeto do circuito integrado é realizado pelo leiaute de cada transistor individualmente e as interconexões entre eles. Já no projeto *Semi-custom* é utilizada uma abordagem onde o circuito é composto por células lógicas e circuitos menores já desenvolvidos e testados.

O objetivo deste trabalho é apresentar o fluxo de projeto e otimização de um circuito digital específico utilizando a tecnologia CMOS no nível de abstração de leiaute de células seguindo uma abordagem *Full-custom*. Para tanto, serão discutidas diferentes versões para o leiaute do circuito apresentado, possibilidades de otimização e simulação elétrica do circuito otimizado.

### 2. MATERIAL E MÉTODOS

Para o desenvolvimento do projeto foram utilizadas as ferramentas Tanner L-Edit Student (versão 7) para a confecção do leiaute e o Orcad-Pspice (Release 9) para a simulação SPICE e análise de operação do circuito.

O leiaute do circuito e simulações elétricas foram realizados a partir do diagrama esquemático de um circuito digital previamente proposto. As dimensões e a abordagem para implementação do circuito foram definidas no projeto proposto e respeitaram simulação SPICE.

Foi confeccionado um leiaute preliminar a partir do qual foram feitas sucessivas alterações a fim de aperfeiçoar o projeto, reduzindo área e possíveis elementos parasitas, tais como capacitâncias entre condutores.

A descrição do leiaute do circuito é realizada através do desenho geométrico de componentes que definem áreas e perímetros para cada transistor que compõe as células lógicas. Essas características definem o comportamento elétrico do circuito digital implementado como, por exemplo, atraso e consumo de energia, além da área final do chip. A tecnologia utilizada para a confecção do leiaute foi a AMS 0.35 $\mu\text{m}$ .

Durante a descrição do leiaute existem regras de projeto que permitem a interface do projetista com o processo de engenharia (AMS, 2003). Estas regras (*design rules*) para construção do processo das máscaras devem ser seguidas para permitir o correto e/ou melhor funcionamento do circuito e são descritas em RABAEY (2004). As dimensões utilizadas na linha de alimentação foram as mínimas possíveis para a tecnologia adotada obedecendo as regras de projeto.

Após a confecção do leiaute do circuito, foi feita a extração do arquivo SPICE para simulação elétrica do mesmo. Após extração, foram feitos ajustes no arquivo SPICE resultante e, por fim, realizada a simulação elétrica do circuito.

### 3. RESULTADOS E DISCUSSÕES

Para o projeto do circuito proposto, o mesmo foi subdividido em duas etapas: leiaute e simulação elétrica. Para a primeira etapa buscou-se a regularidade durante a confecção do leiaute haja vista a possibilidade de utilização deste circuito em um projeto maior. Para a segunda etapa, foi realizada a extração do arquivo SPICE, ajustes necessários neste arquivo e por fim a simulação elétrica do circuito.

A Figura 1 apresenta o diagrama do circuito para o qual foi confeccionado o leiaute inicial e realizada a simulação elétrica do leiaute otimizado posteriormente. Para a confecção das diferentes portas lógicas, foram utilizadas as dimensões de transistores com  $W_P$  e  $W_N$  (larguras dos transistores tipo P e tipo N), respectivamente, de 8.0 $\mu\text{m}$  e 5.0 $\mu\text{m}$  (porta AND), 3.5 $\mu\text{m}$  e 2.0 $\mu\text{m}$  (Inversor) e 9.0 $\mu\text{m}$  e 6.0 $\mu\text{m}$  (porta NOR).

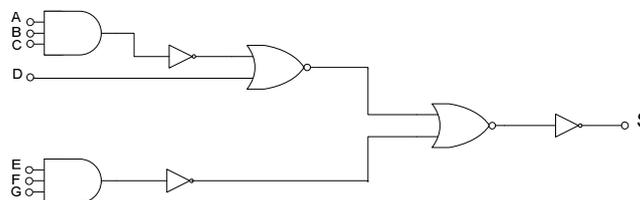


Figura 1 - Diagrama esquemático do circuito proposto.

A descrição da primeira versão para o leiaute do circuito foi realizada com as dimensões iniciais. Esta primeira versão para o leiaute do circuito foi realizada de forma que a ferramenta utilizada não apresentasse erros referentes às regras de projeto vinculadas ao processo de fabricação. Contudo, após a conclusão desta versão do circuito, percebeu-se que o mesmo apresentava regiões que ofereceriam capacitâncias devido à existência de regiões com sobreposição de metais (metal 1 e metal 2) na região de roteamento para a primeira porta NOR. Estas capacitâncias são indesejadas devido ao

atraso gerado. As capacitâncias apresentadas na primeira versão do leiaute foram minimizadas com um melhor roteamento das conexões, obtendo-se nova versão para o leiaute. A área do circuito, porém, não sofreu alterações. Com isso, foi realizada a otimização deste circuito com a criação da terceira versão na qual foi minimizada a distância entre transistores. Para reduzir dimensões, foi utilizado o mesmo “N-Well” para todos os transistores PMOS e o mesmo “N+ implant” para todos os transistores NMOS, reduzindo assim a dimensão “W” (largura) do circuito. Além disso, também foi utilizado “P+ implant” único para os transistores PMOS.

Além destas estratégias, identificou-se grande espaçamento entre metais. Como o espaçamento mínimo entre metais (Metal 1) é de  $0,6\mu\text{m}$ , foi feita esta otimização de área para o circuito. Foi obtida a quarta versão para o mesmo, a qual apresentou significativa redução de área quando comparada à versão inicial. Identificou-se, porém, a possibilidade de minimizar a altura (H) do circuito a partir da redução da distância entre metais (Metal 2), reduzindo ainda mais a área ocupada.

Na quinta versão foram realizadas melhorias no projeto do leiaute gerando a sexta versão do circuito. Na sétima versão também foram feitas adequações em relação ao leiaute, aumentando a quantidade de contatos presentes na área ativa e também alterações para maior regularidade do circuito. As interligações de metal 2 com o *poly* para as entradas “E”, “F” e “G” não estavam corretamente conectadas. Havia a necessidade de inclusão de uma camada de metal 1 e uma via, além do metal 2, *poly* e contato. Também foi corrigida a conexão entre metal 1 e metal 2 presente no circuito. Foi adicionada uma via para conectar estes metais e retirado o contato. Após realizar estas correções e adequações, obteve-se a versão final para o leiaute otimizado, sendo apresentada a oitava versão para o circuito apresentada na Figura 2.

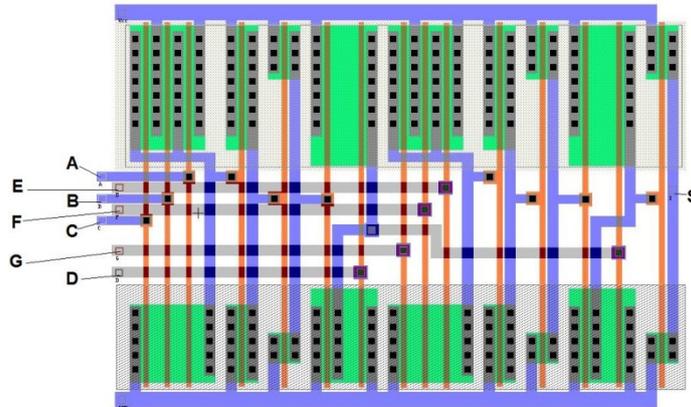


Figura 2 - Leiaute final do circuito proposto (oitava versão).

A Tabela 1 apresenta as dimensões obtidas para as diferentes versões de leiaute. Algumas dimensões não sofreram alterações entre determinadas versões, pois o foco de melhoria de uma versão para outra não era a redução de área, mas sim a minimização de elementos parasitas ou ainda otimizações em relação à regularidade do leiaute. Pode-se notar que houve uma expressiva redução de área principalmente pela redução de W.

Para simulação elétrica, após a extração e ajustes necessários no arquivo SPICE, foi feita a simulação elétrica para a versão final do leiaute do circuito, considerando uma carga de saída de  $5\text{fF}$ . A Figura 3 apresenta os resultados da simulação elétrica. A forma de onda na cor verde representa o sinal de entrada (estímulo) para o circuito. A forma de onda na cor vermelha representa a saída. Como se pode perceber, o sinal de saída alcançou foi capaz de excursionar de  $0\text{V}$  a  $3.3\text{V}$ . Esse comportamento se deve às otimizações realizadas no circuito. O sinal de saída é o esperado para o circuito, o qual

seria uma onda quadrada simétrica à entrada, conforme sinais aplicados às entradas. A distância entre as formas de onda verde e vermelha representa o atraso do sinal, desde a sua entrada até a saída do circuito. O circuito final obteve um atraso de 0.41ns. Uma simulação da primeira versão do circuito digital obteve um atraso de 0.96ns, o que demonstra a importância do refinamento do desenho do circuito integrado.

Tabela 1 - Dimensões das diferentes versões de leiaute.

Versão do leiaute	W ( $\mu\text{m}$ )	H ( $\mu\text{m}$ )
1	79,55	27,05
2	79,55	27,05
3	51,15	27,05
4	37,65	27,05
5	37,65	25,75
6	37,65	25,75
7	37,20	25,75
8	37,20	25,75

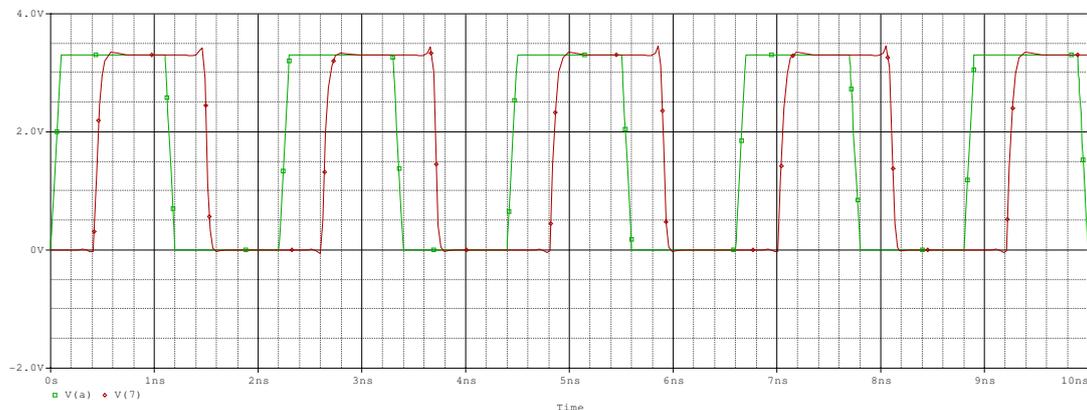


Figura 3 - Simulação elétrica do circuito.

#### 4. CONCLUSÕES

Este trabalho apresentou uma alternativa para o fluxo de projeto e otimização de um circuito digital específico utilizando a tecnologia CMOS. O fluxo apresentado mostrou a possibilidade de aperfeiçoamento do leiaute de um circuito reduzindo a área e minimizando elementos parasitas com a intenção de obter ganhos no desempenho elétrico do circuito. Conclui-se que a melhora no desempenho de um circuito não se configura como uma solução trivial, sendo necessário o estudo de técnicas para dimensionamento dos transistores, bem como o correto desenho das componentes geométricas que compõem o leiaute do mesmo.

#### 5. REFERÊNCIAS BIBLIOGRÁFICAS

AMS, 0.35um CMOS C35 Design Rules, revisão 2.0, 2003.

RABAEY, Jan M. **Digital Integrated Circuits: A Design Perspective**. New York: Prentice Hall, 2004. 2<sup>nd</sup> ed.

SEDRA, Adel S. SMITH, K.C. **Microeletrônica**. São Paulo: Pearson Prentice Hall, 2007. 5<sup>a</sup> ed.