

## ANÁLISE DE MÉTODOS DE MAPEAMENTO TECNOLÓGICO PARA DISPOSITIVOS QCA

**Colvara, Melissa S. R.; Gonçalves, Stéphanou;  
Marques, Felipe S.; Rosa Jr., Leomar S.**

*Universidade Federal de Pelotas  
{mdsrcolvara, smmgoncalves, felipem, leomarjr}@inf.ufpel.edu.br*

### 1. INTRODUÇÃO

Com a necessidade de desenvolvimento de circuitos com maior desempenho e menor consumo de energia, a concepção de circuitos VLSI tem se tornado cada vez mais exigente. Para isso os projetistas destes circuitos utilizam ferramentas que automatizam e reduzem o tempo de desenvolvimento dos mesmos. O projeto de um circuito tem várias etapas, e o mapeamento tecnológico é uma importante fase no processo de síntese desses circuitos. Esta etapa influencia diretamente nas características do circuito, tendo relação direta com seu consumo de potência, atraso e área (Marques, 2008).

Os projetistas de circuitos integrados digitais ainda têm enfrentado problemas com relação ao limite físico da tecnologia CMOS (ITRS, 2010). Isso tem tornado difícil realizar maiores otimizações e melhorias no projeto do circuito. Pesquisas recentes têm apontado novas nanotecnologias como substitutas para CMOS. Uma forte candidata é a QCA (*Quantum Cellular Automata*), que é um novo método de computação e transformação da informação. Nesta tecnologia, a dissipação de potência é muito menor se comparada com a de circuitos CMOS (Kong, 2010). O trabalho estado da arte em QCA apresenta estruturas para a construção de circuitos digitais. São elas: Inversor QCA, Fio QCA e Porta Majoritária QCA.

ZHANG et. al. (2004), apresenta um conjunto de 13 funções, construído manualmente. Estas funções formam uma pequena biblioteca, que são capazes de mapear funções de 3 entradas. A porta AOI (*And Or Inverter*) é apresentada por MOMENZADEH et. al. (2005) no intuito de substituir a porta majoritária, visto que esta conseguiria resultados melhores nas ferramentas de síntese existentes. Mas a porta AOI não teve sucesso, pois seu custo em área é mais elevado se comparado à porta majoritária. ZHANG et.al. (2005) propôs o primeiro método automatizado para síntese QCA, chamado MALS. O trabalho estado da arte em síntese QCA é o de KONG et. al. (2010), onde ele propõe scripts para executar de forma “automatizada” síntese para dispositivos QCA utilizando a ferramenta SIS (SENTOVICH, 1992). O trabalho de Kong apresenta resultados melhores que os apresentados pelo método MALS.

Percebe-se que nenhum dos trabalhos apresenta um método de mapeamento automatizado eficiente para a utilização de dispositivos QCA. Então, neste trabalho será apresentada uma análise com foco em mapeamento tecnológico para projetos de circuitos digitais construídos com a tecnologia QCA. Para isto serão utilizadas três diferentes bibliotecas para mapear um conjunto de circuitos através da ferramenta ABC (MISHCHENKO et. al., 2005). A intenção do trabalho é comparar o estado da arte em síntese QCA (Kong, 2010) e a ferramenta ABC, estado da arte em síntese lógica, visando encontrar lacunas a serem exploradas futuramente.

## 2. CONCEITOS E MÉTODOS

Uma célula QCA pode ser representada por um conjunto de quatro pontos quânticos, posicionados nos cantos de um quadrado. Esta célula contém dois elétrons livres, que se localizam em diagonais opostas, e se movimentam por túneis pela repulsão de Coulombic. De acordo com o posicionamento dos elétrons têm-se dois estados, o estado  $P = -1$  representando o “0” lógico e o estado  $P = +1$ , representando o “1” lógico. Conforme apresentado na Figura 1.a.

Os elementos básicos da tecnologia QCA, são o fio QCA (Fig. 1.d), o inversor QCA (Fig.1.c) e a porta majoritária (Fig.1.b). A principal estrutura é a porta majoritária, que é composta de cinco células e pode ser representada pela função lógica  $M(a,b,c)=ab+ac+bc$ . Esta porta tem três entradas e pode representar diversas funções lógicas de acordo com as entradas.

A partir dos dispositivos citados acima são projetados circuitos. Este trabalho visa estudar métodos de síntese existentes que viabilizem a utilização da tecnologia QCA em circuitos digitais. Como objetivo, estes métodos devem ser capazes de encontrar automaticamente um número reduzido de portas majoritárias e inversores para implementar determinado circuito digital. Então, a fim de analisar o quão bom são os resultados da síntese alcançada pelas metodologias avaliadas, alguns experimentos foram realizados utilizando a ferramenta ABC. Para estes experimentos, um subconjunto de *benchmarks* ISCAS’85 foi utilizado.

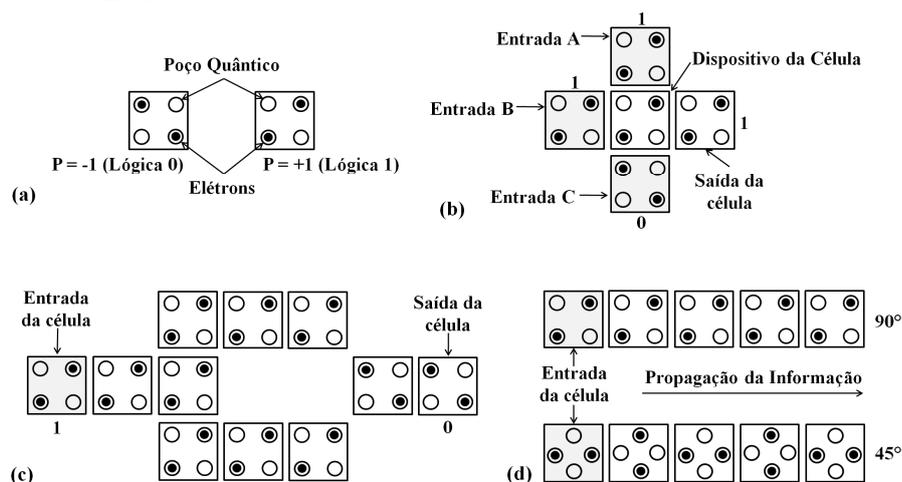


Figura 1 – Elementos básicos da tecnologia QCA - (a) Célula QCA, (b) Porta Majoritária, (c) Inversor QCA e (d) Fio QCA

O mapeamento na ferramenta ABC foi feito com três diferentes bibliotecas para cada um dos circuitos *benchmark*, utilizando o comando *map*. Este comando foi executado dez vezes para cada circuito e o resultado foi escrito em um arquivo *Netblif* (descrição do circuito mapeado). Com isso foi possível identificar os custos totais de implementação de cada circuito. O custo de um circuito é a soma dos custos de todas as portas majoritárias e inversores contidos nele. Os valores três e cinco são atribuídos a portas majoritárias e inversores, respectivamente, de acordo com a área dessas duas células (ZHANG et.al., 2005). A primeira biblioteca chamada “básica” é uma biblioteca simples composta de porta majoritária, inversor, AND2 e constantes ZERO e UM (está é uma exigência mínima da ferramenta). A segunda biblioteca é composta pelas 13 funções propostas por Zhang (ZHANG et. al., 2004), e a terceira pelas 40 funções do trabalho de Kong (KONG et. al., 2010).

### 3. RESULTADOS E DISCUSSÕES

Com os resultados obtidos do mapeamento com a ferramenta ABC, utilizando as três bibliotecas, foi possível perceber que com a biblioteca maior, na maioria das vezes, obtém-se melhores resultados. Em outras palavras, obtém-se um custo menor em área no circuito mapeado. Isto pode ser observado na Tabela 1.

Os circuitos mapeados com a biblioteca básica apresentam custos mais elevados. Isto é esperado por se tratar de uma biblioteca muito simples. Na maioria dos casos as bibliotecas maiores obtêm melhores resultados. Entretanto, se compararmos a biblioteca de Zhang 2004 com a biblioteca de Kong 2010, isso não acontece em todos os circuitos. Este é o caso do circuito “*cm152a*”. A biblioteca Zhang 2004 têm células mais complexas que podem levar a redução de área em função da estrutura do circuito. A biblioteca Kong 2010, na maioria das vezes, alcança melhores resultados, mas quando comparado com o método de Kong (KONG et.al., 2010), nem sempre isso acontece.

Tabela 1 – Comparação entre métodos de mapeamentos com ABC e Kong

Circuitos ISCAS'85	ABC			Método Kong
	Básica	Zhang 2004	Kong 2010	
9symml	1306	844	630	256
alu2	2288	1496	1305	1555
apex6	4230	3426	2168	2776
cht	1054	464	474	405
cm150a	318	163	163	238
cm151a	201	101	91	119
cm152a	168	68	78	98
cm162a	214	161	159	193
cm42a	121	121	71	84
cm82a	127	24	77	51
cm85a	214	177	144	78
cmb	216	184	158	104
cu	247	182	187	225
frgl	691	500	386	620
i2	1730	1656	641	627
k2	5062	4720	3458	4998
ldd	386	341	234	321
majority	48	33	18	18
mux	308	208	158	198
pcl	384	289	189	271
pcler8	469	364	234	315
term1	842	509	575	568
ttt2	938	573	571	695
unreg	871	426	386	417
vda	2316	2244	1574	2810
x2	243	201	153	186
z4ml	229	36	154	57

Embora a grande maioria dos circuitos mapeados com a ferramenta ABC tenha alcançado resultados consideravelmente melhores, em alguns circuitos o método de Kong atinge resultados ainda melhores, devido a alguns artifícios disponíveis em seu método.

#### 4. CONCLUSÕES

Este trabalho apresenta uma comparação entre a ferramenta ABC (MISHCHENKO et. al., 2005), que é o estado da arte em síntese lógica, e o estado da arte em síntese QCA (KONG et. al., 2010). Utilizando a ferramenta ABC, o mapeamento com a biblioteca Kong 2010 apresentou melhores resultados na maioria dos casos. Assim, como acontece na tecnologia CMOS, quanto mais ricas são as bibliotecas, na grande maioria das vezes, melhores serão os resultados obtidos pelos métodos de mapeamento. Porém, o método de Kong, apresenta resultados muito bons em outros casos. Sendo assim, existem possibilidades de melhoria nos métodos de mapeamento para a tecnologia QCA a serem exploradas. Além do método de mapeamento, a biblioteca pode ainda ser melhorada, aumentando o número de funções booleanas disponíveis, o que tende a levar a uma redução na área do circuito mapeado.

#### 5. REFERÊNCIAS BIBLIOGRÁFICAS

International Technology Roadmap for Semiconductors (ITRS). [Online]. 2010 Update Overview. Disponível em <http://www.itrs.net>. Acesso em Agosto 2012.

KONG, K., Lu, R., and Shang, Y. "An optimized majority logic synthesis methodology for quantum-dot cellular automata". *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, 9(2), pp. 170-183, Mar. 2010.

MARQUES, F. d. S. "**Technology Mapping for Virtual Libraries Based on Cells with Minimal Transistor Stacks**". *PhD thesis*. UNIVERSITY FEDERAL OF RIO GRANDE DO SUL-UFRGS, PORTO ALEGRE, BRAZIL, 2008.

MISHCHENKO, A.; Chatterjee, S.; Brayton, R.; Wang, X.; Kam, T. "**Technology Mapping with Boolean Matching, Supergates and Choices**". *ERL Technical Report*, [S.l.], <http://www.eecs.berkeley.edu/~alanmi/abc/abc.htm>, 2005.

MOMENZADEH, M., Huang, J., Tahoori, M. B., and Lombardi, F. "Characterization, test, and logic synthesis of and-or-inverter (AOI) gate design for QCA implementation". *IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS*, 24(12), pp. 1881-1893, Dec. 2005.

SENTOVICH, E. et al. "SIS: A system for sequential circuit synthesis", *Berkeley: EECS Department, University of California*, 1992. (TR UCB/ERL M92/41)

ZHANG, R., Walus, K., Wang, W., and Graham, A. J. "A method of majority logic reduction for quantum cellular automata". *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, 3(4), pp. 443-450, Dec.2004.

ZHANG, R.; Gupta, P.; Jha, N.K., "Synthesis of majority and minority networks and its applications to QCA, TPL and SET based nanotechnologies," *VLSI Design, 2005. 18th International Conference on*, vol., no., pp. 229- 234, 3-7, Jan. 2005.