

## Desenvolvimento De Um Fluxo Genérico Para Mapeamento Tecnológico

**DOMINGUES JÚNIOR, Julio Saraçol<sup>1</sup>; DA ROSA JR, Leomar Soares<sup>1</sup>;  
MARQUES, Felipe de Souza<sup>1</sup>**

<sup>1</sup>Universidade Federal de Pelotas, Centro de Desenvolvimento Tecnológico – CDTec.  
{jsdomingues,leomarjr,felipem}@inf.ufpel.edu.br

### 1 INTRODUÇÃO

Com a produção em massa da microeletrônica nos últimos anos, projetar circuitos digitais tornou-se uma tarefa difícil. Isso porque cada vez mais é preciso circuitos com maior desempenho e menor consumo de energia. Então para que esses objetivos sejam atingidos, o processo de síntese torna-se cada vez mais complexo, pois novos limites físicos e lógicos precisam ser alcançados. Em outras palavras, os produtos eletrônicos precisam ser projetados e produzidos no menor tempo possível. Para tanto, são necessárias ferramentas computacionais que agilizem o processo de concepção de circuitos integrados. Devido à automatização dos processos de síntese utilizando computadores, o tempo de desenvolvimento de um circuito eletrônico pode ser reduzido. Em geral, estas ferramentas atuam em diferentes etapas do desenvolvimento de um circuito integrado, dentre elas, a síntese lógica e a síntese física. As principais características estruturais do circuito são definidas durante a síntese lógica.

Uma das etapas mais importantes da síntese lógica é o mapeamento tecnológico. Essa importância se deve ao fato que esta etapa recebe uma descrição de alto nível do circuito, e transforma essa descrição comportamental em um conjunto de elementos (portas lógicas) interconectados. Neste caso, os elementos utilizados para transformar o circuito são providos por uma biblioteca de células ou por algum gerador de células. Essa metodologia é chamada de *standard-cell* (MARQUES,2008). Existem diversas formas de executar essa metodologia, cada uma se utiliza de características e abordagens diferentes para que atinjam uma função objetivo. Essa função pode ser a minimização de alguns critérios, como, por exemplo, área, atraso ou consumo de potência.

No âmbito acadêmico, o estado da arte em síntese lógica é a ferramenta ABC(ABC,2011). A ferramenta ABC foi desenvolvida pela universidade de Berkeley na Califórnia, seu código é aberto e é capaz de realizar mapeamento com diferentes métodos de síntese. Em geral, a ferramenta apresenta bons resultados para determinadas tecnologias. Entretanto, se o usuário apresentar a intenção de configurar um fluxo de mapeamento alternativo, terá de reimplementar diversos métodos no código da ferramenta(em linguagem de programação C/C++). Esse fator impossibilita a prototipação rápida de uma metodologia de mapeamento diferenciada, além de aumentar consideravelmente a complexidade do desenvolvimento de um novo fluxo.

Este trabalho tem como objetivo propor o desenvolvimento de uma ferramenta para mapeamento tecnológico. A ideia é que a ferramenta permita a abordagem de um fluxo genérico, ou seja, permitir que o usuário através de uma abstração de alto nível consiga configurar a forma como irá executar o mapeamento. Isso permitirá que o usuário tenha acesso a diversos métodos implementados e disponíveis na literatura. Desta forma, através de uma interface de fácil acesso (ou através de scripts), será possível desenvolver novas metodologias para mapeamento tecnológico, bem como a definição dos critérios a serem minimizados. Com este fluxo genérico, espera-se obter resultados rápidos a partir dos protótipos desenvolvidos, minimizando a necessidade de programação extra. Além disso, a

possibilidade de prototipar rapidamente um método de mapeamento permite testar diferentes abordagens de forma a alavancar inovações tecnológicas e o desenvolvimento de novas metodologias para tecnologias emergentes (ex: Qca(ZHANG,2004), Nanotubos de carbono, etc..).

## 2 METODOLOGIA (MATERIAL E MÉTODOS)

Inicialmente foi desenvolvido um módulo que é capaz de carregar alguns modelos de descrição de circuitos populares no meio da síntese lógica, como por exemplo o padrão BLIF(Berkeley Logic Interchange Format) e o EQN(Equation format). Outro formato popular é o AIGER(AIGER,2012). O formato é baseado num tipo especial de DAG chamado AIG(And-Inverter-Graph), o qual decompõe a descrição inicial de um circuito digital em um grafo de portas lógicas básicas AND(nós do grafo) e interconexões(arestas). Inversores são representados por marcações nas arestas que denotam uma inversão do valor lógico.

O mapeamento tecnológico pode ser dividido em três grandes passos: Decomposição, Casamento e Cobertura (MARQUES,2008). Essa descrição inicial do circuito, embora organizada em DAG, é reagrupada na fase de decomposição em porções menores e mais simples. Essas porções do circuito são reagrupadas para a comparação na etapa de casamento com as células da biblioteca, a fim de encontrar alguma célula equivalente ou para que respeite alguma restrição no caso de bibliotecas virtuais. Por último, a etapa de cobertura elege o conjunto de elementos da biblioteca (ou agrupamentos que respeitem a restrição) equivalentes as porções do circuito. O objetivo desse conjunto é cobrir totalmente a descrição do circuito, minimizando as áreas redundantes e focando na função objetivo pré-definida.

A literatura apresenta diversas formas de aplicar cada uma das três fases do mapeamento citadas acima. No fluxo desenvolvido, inicialmente foi reproduzido o algoritmo de k-Cortes(k-cuts)(CONG,1999), que identifica vários sub-grafos (agrupamentos) no circuito com k entradas. Na tecnologia atual e em termos práticos, consegue-se enumerar todos os cortes k-7 (com 7 entradas) de um determinado circuito (CONG,1999). Estes sub-grafos são utilizados na etapa de "casamento", de forma que seja encontrada uma célula funcionalmente equivalente ao sub-grafo em questão. Atualmente, a etapa de "casamento" é realizada através de um método booleano (Boolean Matching)(DEBNATH,2004), o qual pega a porção do circuito e gera uma assinatura booleana única, que é utilizada para comparação com a biblioteca.

Com o intuito de obter um fluxo inicial de mapeamento completo, foram implementados alguns algoritmos da literatura. O primeiro baseado em minimização de área(MISHCHENKO,2005) e o segundo baseado em geradores de células (CORREIA,2004). Na reprodução do método proposto por Mishchenko, inicialmente é carregada a descrição do circuito para a estrutura de AIG, então gera-se todas as possibilidades de k-cortes com k sendo configurável pelo usuário. Essas porções são calculadas através da função custo definida no algoritmo original, esse custo está definido na equação(1) a qual é baseada no calculo da área do corte. Após o cálculo dos custos, o processo de cobertura é chamado e define qual o conjunto de cortes, que cobre todo o circuito, minimiza a função custo. Então, como etapa final a ferramenta gera uma descrição no formato EQN, a partir dos cortes selecionados, indicando quais são as células necessárias para a concepção do circuito integrado. A Fig.1 ilustra o fluxo implementado até o momento.

$$\text{Custo}_{\text{Nodo}} = (\sum \text{Custo}_{\text{Entradas}} + \text{Custo}_{\text{ÁreaCorte}}) \div \text{Fan-out}_{\text{Nodo}} \quad (1)$$

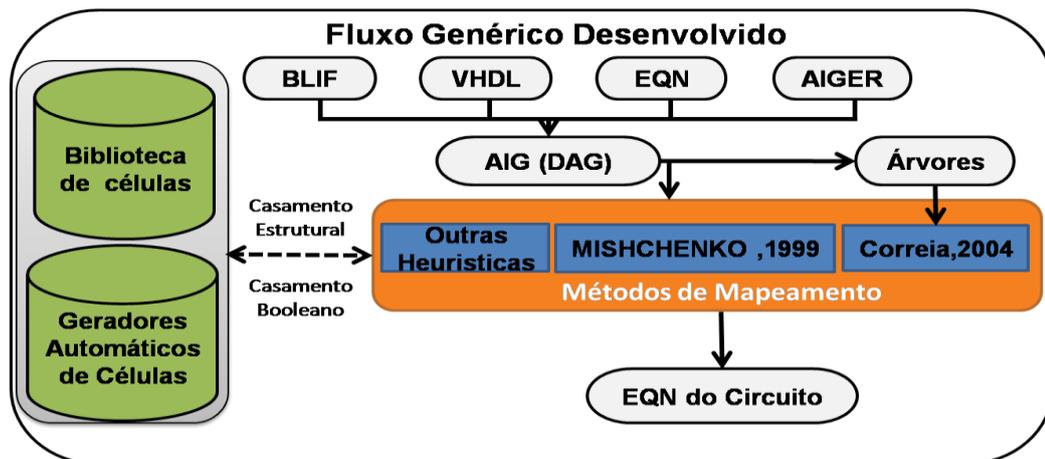


Figura 1- Fluxo de mapeamento implementado na ferramenta proposta.

Em um segundo momento a estratégia proposta por Correia foi reproduzida. Este fluxo se difere da versão anterior em dois aspectos. Isto se deve ao fato de que além de trabalhar com árvores, o método aplica o mapeamento baseado em geradores automáticos de células. Essa abordagem não possui uma biblioteca de células pré-definida, somente alguma restrição alvo. Como exemplo de restrição, podemos citar a topologia das portas lógicas (número de transistores em série, número de entradas, etc). Então o mapeamento efetuado baseia-se na restrição e ao final do processo um gerador automático de células deve ser utilizado para projetar células que implementem as funções lógicas apontadas pelo mapeamento, de acordo com as restrições utilizadas.

Assim como no método reproduzido de Mishchenko, o circuito é carregado para a estrutura de AIG, então o AIG é particionado em um floresta de árvores. Após identificar as árvores o algoritmo tenta reagrupar essas árvores de forma que a sua topologia respeite a restrição e que o agrupamento seja feito de forma a minimizar a função custo. Caso a árvore seja maior que a restrição, essa árvore será decomposta em árvores menores. A ideia do método é prover uma abordagem que trabalhe com árvores, utilizando a propriedade de atingir a solução ótima localmente em tempo linear. Assim como na outra abordagem como resultado a ferramenta gera uma descrição do circuito mapeado no formato EQN.

Um dos pontos interessantes é que esse fluxo genérico desenvolvido é que além de permitir integração com outros métodos de síntese de forma fácil. Também permite ser estendido para novas tecnologias emergentes (ex: os QCs baseados em computação quântica), sem muita programação extra. Um exemplo de adaptação para nova tecnologia, seria a troca da função custo ou da biblioteca de células.

### 3 RESULTADOS E DISCUSSÃO

Neste ponto, a ferramenta já possui dois fluxos de mapeamento totalmente implementados e validados quanto a sua funcionalidade. Todos os benchmarks do ISCAS'95 foram mapeados com a ferramenta proposta, utilizando as duas abordagens de mapeamento.

Para validar o fluxo proposto, a descrição original do circuito benchmark foi comparada com a descrição do circuito mapeado utilizando a ferramenta ABC. Esta ferramenta possui um módulo que verifica a equivalência funcional de dois circuitos. Em todos os circuitos mapeados, o ABC comprovou a equivalência dos circuitos, quando comparadas com suas versões originais.

#### 4 CONCLUSÃO

Este trabalho apresentou o desenvolvimento de um fluxo genérico para mapeamento tecnológico. Foram abordados alguns problemas de projeto para circuitos digitais. Também foi apresentado o fluxo e os métodos desenvolvidos até o momento.

Um dos aspectos interessantes do trabalho é a capacidade de especificar metodologias de mapeamento em um nível mais alto de abstração. O usuário poderá configurar o seu fluxo de mapeamento, nas suas diversas fases com diferentes métodos da literatura e avaliar qual configuração apresenta melhores resultados. Desta forma, será possível desenvolver novas metodologias de forma rápida e integrada, proporcionando avanços tecnológicos no projeto de circuitos integrados. Esta versatilidade também facilita a adaptação de métodos existentes para novas tecnologias computacionais, como por exemplo os QCAs(ZHANG,2004). Além disso, a ferramenta é totalmente desenvolvida em ambiente acadêmico, podendo ser utilizada no ensino de disciplinas relacionadas ao projeto de circuitos digitais. O trabalho apresenta um diferencial em relação à ferramenta ABC, pois proporciona maior flexibilidade ao usuário e capacidade de prototipação rápida sem a necessidade de programação.

Os métodos implementados foram validados através da ferramenta ABC. Como trabalhos futuros, a intenção é investigar e implementar outros fluxos da literatura, assim como desenvolver diferentes configurações e heurísticas de mapeamento tecnológico, além de incorporar generalizações de forma que se consiga flexibilizar a construção de novas metodologias.

#### 5 REFERÊNCIAS

MARQUES, F. d. S. (2008). **Technology Mapping for Virtual Libraries Based on Cells with Minimal Transistor Stacks**. PhD thesis, PÓS-GRADUAÇÃO EM COMPUTAÇÃO. UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL/FRGS, PORTO ALEGRE,BRASIL.

ABC, B. L. S. and Group, V. (2011). **Abc: A system for sequential synthesis**. Disponível em <http://www.eecs.berkeley.edu/alanmi/abc/abc.html>.

ZHANG, R., Walus, K., Wang, W., and Graham, A. J. (2004). **A method of majority logic reduction for quantum cellular automata**. IEEE TRANSACTIONS ON NANOTECHNOLOGY, 3(4).

AIGER Formato. **The AIGER And-Inverter Graph (AIG) Format**, Disponível em <http://fmv.jku.at/aiger/>, 2012

CONG J., Wu, C., Ding, Y., **“Cut Ranking and Pruning: Enabling A General and Efficient FPGA Mapping Solution”**, Int’l Symp. on FPGA, 1999.

D. DEBNATH AND T. SASAO, **"Efficient computation of canonical form for Boolean matching in large libraries"**, ASAP-DAC Asia and South Pacific Design Automation Conference,2004, Pages 591 – 596.

MISHCHENKO, A.; Chatterjee, S.; Brayton, R.; Wang, X.; Kam, T. **“Technology Mapping with Boolean Matching, Supergates and Choices”**. ERL Technical Report, <http://www.eecs.berkeley.edu/alanmi/abc/abc.htm>, 2005

CORREIA, V.; REIS, A. (2004). **Advanced technology mapping for standard-cell generators**. SYMPOSIUM ON INTEGRATED CIRCUITS AND SYSTEM DESIGN, SBCCI, 17:254–259.